SSD202D
PADTOP Module Description

1. REGISTER DESCRIPTION

1.1. PADTOP Register (Bank = 103C)

PADTOP Register (Bank = 103C)				
Index (Absolute)	Mnemonic	Bit	Description	
00h (103C00h)	REG103C00	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_0	5		
	GPIO_OUT_0	4		
	-	3:1	Reserved.	
	GPIO_IN_0	0		
01h (103C02h)	REG103C02	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_1	5		
	GPIO_OUT_1	4		
	-	3:1	Reserved.	
	GPIO_IN_1	0		
02h (103C04h)	REG103C04	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_2	5		
	GPIO_OUT_2	4		
	-	3:1	Reserved.	
	GPIO_IN_2	0		
03h (103C06h)	REG103C06	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_3	5		
	GPIO_OUT_3	4		
	-	3:1	Reserved.	
	GPIO_IN_3	0		
04h (103C08h)	REG103C08	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_4	5		

PADTOP Register (Bank = 103C)				
Index (Absolute)	Mnemonic	Bit	Description	
	GPIO_OUT_4	4		
	-	3:1	Reserved.	
	GPIO_IN_4	0		
05h (103C0Ah)	REG103C0A	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_5	5		
	GPIO_OUT_5	4		
	-	3:1	Reserved.	
	GPIO_IN_5	0		
06h (103C0Ch)	REG103C0C	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_6	5		
	GPIO_OUT_6	4		
	-	3:1	Reserved.	
	GPIO_IN_6	0		
07h (103C0Eh)	REG103C0E	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_7	5		
	GPIO_OUT_7	4		
	-	3:1	Reserved.	
	GPIO_IN_7	0		
08h (103C10h)	REG103C10	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_8	5		
	GPIO_OUT_8	4		
	-	3:1	Reserved.	
	GPIO_IN_8	0		
09h (103C12h)	REG103C12	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_9	5		
	GPIO_OUT_9	4		
	-	3:1	Reserved.	
	GPIO_IN_9	0		

PADTOP Register (Bank = 103C)				
Index (Absolute)	Mnemonic	Bit	Description	
0Ah (103C14h)	REG103C14	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_10	5		
	GPIO_OUT_10	4		
	-	3:1	Reserved.	
	GPIO_IN_10	0		
0Bh (103C16h)	REG103C16	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_11	5		
	GPIO_OUT_11	4		
	-	3:1	Reserved.	
	GPIO_IN_11	0		
0Ch (103C18h)	REG103C18	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_12	5		
	GPIO_OUT_12	4		
	-	3:1	Reserved.	
	GPIO_IN_12	0		
0Dh (103C1Ah)	REG103C1A	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_13	5		
	GPIO_OUT_13	4		
	-	3:1	Reserved.	
	GPIO_IN_13	0		
0Eh (103C1Ch)	REG103C1C	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	GPIO_OEN_14	5		
	GPIO_OUT_14	4		
	-	3:1	Reserved.	
	GPIO_IN_14	0		
14h (103C28h)	REG103C28	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	FUART_GPIO_OEN_0	5		

PADTOP Register (Bank = 103C)				
Index (Absolute)	Mnemonic	Bit	Description	
	FUART_GPIO_OUT_0	4		
	-	3:1	Reserved.	
	FUART_GPIO_IN_0	0		
15h (103C2Ah)	REG103C2A	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	FUART_GPIO_OEN_1	5		
	FUART_GPIO_OUT_1	4		
	-	3:1	Reserved.	
	FUART_GPIO_IN_1	0		
16h (103C2Ch)	REG103C2C	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	FUART_GPIO_OEN_2	5		
	FUART_GPIO_OUT_2	4		
	-	3:1	Reserved.	
	FUART_GPIO_IN_2	0		
17h (103C2Eh)	REG103C2E	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	FUART_GPIO_OEN_3	5		
	FUART_GPIO_OUT_3	4		
	-	3:1	Reserved.	
	FUART_GPIO_IN_3	0		
18h (103C30h)	REG103C30	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	UART0_GPIO_OEN_0	5		
	UART0_GPIO_OUT_0	4		
	-	3:1	Reserved.	
	UART0_GPIO_IN_0	0		
19h (103C32h)	REG103C32	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	UART0_GPIO_OEN_1	5		
	UART0_GPIO_OUT_1	4		
	-	3:1	Reserved.	
	UART0_GPIO_IN_1	0		

PADTOP Register (Bank = 103C)				
Index (Absolute)	Mnemonic	Bit	Description	
1Ah (103C34h)	REG103C34	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	UART1_GPIO_OEN_0	5		
	UART1_GPIO_OUT_0	4		
	-	3:1	Reserved.	
	UART1_GPIO_IN_0	0		
1Bh (103C36h)	REG103C36	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	UART1_GPIO_OEN_1	5		
	UART1_GPIO_OUT_1	4		
	-	3:1	Reserved.	
	UART1_GPIO_IN_1	0		
20h (103C40h)	REG103C40	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_0	5		
	TTL_GPIO_OUT_0	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_0	0		
21h (103C42h)	REG103C42	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_1	5		
	TTL_GPIO_OUT_1	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_1	0		
22h (103C44h)	REG103C44	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_2	5		
	TTL_GPIO_OUT_2	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_2	0		
23h (103C46h)	REG103C46	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_3	5		

PADTOP Register (Bank = 103C)				
Index (Absolute)	Mnemonic	Bit	Description	
	TTL_GPIO_OUT_3	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_3	0		
24h (103C48h)	REG103C48	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_4	5		
	TTL_GPIO_OUT_4	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_4	0		
25h (103C4Ah)	REG103C4A	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_5	5		
	TTL_GPIO_OUT_5	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_5	0		
26h (103C4Ch)	REG103C4C	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_6	5		
	TTL_GPIO_OUT_6	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_6	0		
27h (103C4Eh)	REG103C4E	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_7	5		
	TTL_GPIO_OUT_7	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_7	0		
28h (103C50h)	REG103C50	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_8	5		
	TTL_GPIO_OUT_8	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_8	0		

PADTOP Register (Bank = 103C)				
Index (Absolute)	Mnemonic	Bit	Description	
29h (103C52h)	REG103C52	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_9	5		
	TTL_GPIO_OUT_9	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_9	0		
2Ah (103C54h)	REG103C54	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_10	5		
	TTL_GPIO_OUT_10	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_10	0		
2Bh (103C56h)	REG103C56	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_11	5		
	TTL_GPIO_OUT_11	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_11	0		
2Ch (103C58h)	REG103C58	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_12	5		
	TTL_GPIO_OUT_12	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_12	0		
2Dh (103C5Ah)	REG103C5A	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_13	5		
	TTL_GPIO_OUT_13	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_13	0		
2Eh (103C5Ch)	REG103C5C	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_14	5		

PADTOP Register (Bank = 103C)				
Index (Absolute)	Mnemonic	Bit	Description	
	TTL_GPIO_OUT_14	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_14	0		
2Fh (103C5Eh)	REG103C5E	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_15	5		
	TTL_GPIO_OUT_15	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_15	0		
30h (103C60h)	REG103C60	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_16	5		
	TTL_GPIO_OUT_16	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_16	0		
31h (103C62h)	REG103C62	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_17	5		
	TTL_GPIO_OUT_17	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_17	0		
32h (103C64h)	REG103C64	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_18	5		
	TTL_GPIO_OUT_18	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_18	0		
33h (103C66h)	REG103C66	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_19	5		
	TTL_GPIO_OUT_19	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_19	0		

PADTOP Register (Bank = 103C)				
Index (Absolute)	Mnemonic	Bit	Description	
34h (103C68h)	REG103C68	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_20	5		
	TTL_GPIO_OUT_20	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_20	0		
35h (103C6Ah)	REG103C6A	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_21	5		
	TTL_GPIO_OUT_21	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_21	0		
36h (103C6Ch)	REG103C6C	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_22	5		
	TTL_GPIO_OUT_22	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_22	0		
37h (103C6Eh)	REG103C6E	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_23	5		
	TTL_GPIO_OUT_23	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_23	0		
38h (103C70h)	REG103C70	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_24	5		
	TTL_GPIO_OUT_24	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_24	0		
39h (103C72h)	REG103C72	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_25	5		

PADTOP Register (Bank = 103C)				
Index (Absolute)	Mnemonic	Bit	Description	
	TTL_GPIO_OUT_25	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_25	0		
3Ah (103C74h)	REG103C74	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_26	5		
	TTL_GPIO_OUT_26	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_26	0		
3Bh (103C76h)	REG103C76	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	TTL_GPIO_OEN_27	5		
	TTL_GPIO_OUT_27	4		
	-	3:1	Reserved.	
	TTL_GPIO_IN_27	0		
40h (103C80h)	REG103C80	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	IDAC_GPIO_OEN_0	5		
	IDAC_GPIO_OUT_0	4		
	-	3:1	Reserved.	
	IDAC_GPIO_IN_0	0		
41h (103C82h)	REG103C82	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	IDAC_GPIO_OEN_1	5		
	IDAC_GPIO_OUT_1	4		
	-	3:1	Reserved.	
	IDAC_GPIO_IN_1	0		
42h (103C84h)	REG103C84	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	HDMI_GPIO_OEN_0	5		
	HDMI_GPIO_OUT_0	4		
	-	3:1	Reserved.	
	HDMI_GPIO_IN_0	0		

PADTOP Register (Bank = 103C)				
Index (Absolute)	Mnemonic	Bit	Description	
43h (103C86h)	REG103C86	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	HDMI_GPIO_OEN_1	5		
	HDMI_GPIO_OUT_1	4		
	-	3:1	Reserved.	
	HDMI_GPIO_IN_1	0		
44h (103C88h)	REG103C88	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	HDMI_GPIO_OEN_2	5		
	HDMI_GPIO_OUT_2	4		
	-	3:1	Reserved.	
	HDMI_GPIO_IN_2	0		
50h (103CA0h)	REG103CA0	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	SD_GPIO_OEN_0	5		
	SD_GPIO_OUT_0	4		
	-	3:1	Reserved.	
	SD_GPIO_IN_0	0		
51h (103CA2h)	REG103CA2	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	SD_GPIO_OEN_1	5		
	SD_GPIO_OUT_1	4		
	-	3:1	Reserved.	
	SD_GPIO_IN_1	0		
52h (103CA4h)	REG103CA4	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	SD_GPIO_OEN_2	5		
	SD_GPIO_OUT_2	4		
	-	3:1	Reserved.	
	SD_GPIO_IN_2	0		
53h (103CA6h)	REG103CA6	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	SD_GPIO_OEN_3	5		

PADTOP Register (Bank = 103C)				
Index (Absolute)	Mnemonic	Bit	Description	
	SD_GPIO_OUT_3	4		
	-	3:1	Reserved.	
	SD_GPIO_IN_3	0		
54h (103CA8h)	REG103CA8	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	SD_GPIO_OEN_4	5		
	SD_GPIO_OUT_4	4		
	-	3:1	Reserved.	
	SD_GPIO_IN_4	0		
55h (103CAAh)	REG103CAA	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	SD_GPIO_OEN_5	5		
	SD_GPIO_OUT_5	4		
	-	3:1	Reserved.	
	SD_GPIO_IN_5	0		
56h (103CACh)	REG103CAC	7:0	Default : 0x20	Access : RO, R/W
	-	7:6	Reserved.	
	SD_GPIO_OEN_6	5		
	SD_GPIO_OUT_6	4		
	-	3:1	Reserved.	
	SD_GPIO_IN_6	0		